



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>	Applicati n Number	10/605,031	
	Filing Date	09/03/2003	
	First Named Inventor	Chi-Feng Wu	
	Group Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	REAP0006USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	9/23/2003

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: <input type="text"/>			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



PTO/SB/17 (01-03)
Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/605,031
Filing Date	9/3/2003
First Named Inventor	Chi-Feng Wu
Examiner Name	
Art Unit	
Attorney Docket No.	REAP0006USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number
Deposit Account Name

50-0801

North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) during the pendency of this application

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	750	2001	375	Utility filing fee	
1002	330	2002	165	Design filing fee	
1003	520	2003	260	Plant filing fee	
1004	750	2004	375	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)				(\$) 0.00	

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims - 20** = X =
Independent Claims - 3** = X =
Multiple Dependent =

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	84	2201	42	Independent claims in excess of 3
1203	280	2203	140	Multiple dependent claim, if not paid
1204	84	2204	42	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	410	2252	205	Extension for reply within second month	
1253	930	2253	465	Extension for reply within third month	
1254	1,450	2254	725	Extension for reply within fourth month	
1255	1,970	2255	985	Extension for reply within fifth month	
1401	320	2401	160	Notice of Appeal	
1402	320	2402	160	Filing a brief in support of an appeal	
1403	280	2403	140	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,300	2453	650	Petition to revive - unintentional	
1501	1,300	2501	650	Utility issue fee (or reissue)	
1502	470	2502	235	Design issue fee	
1503	630	2503	315	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	750	2809	375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	750	2810	375	For each additional invention to be examined (37 CFR 1.129(b))	
1801	750	2801	375	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

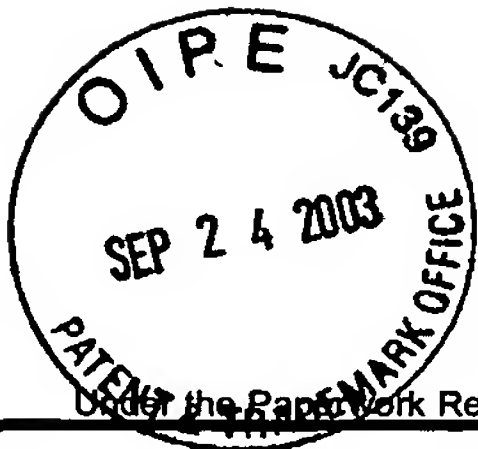
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	9/25/2003		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092118131	TaiwanR.O.C	07/02/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 02 日
Application Date

申請案號：092118131
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 11 日
Issue Date

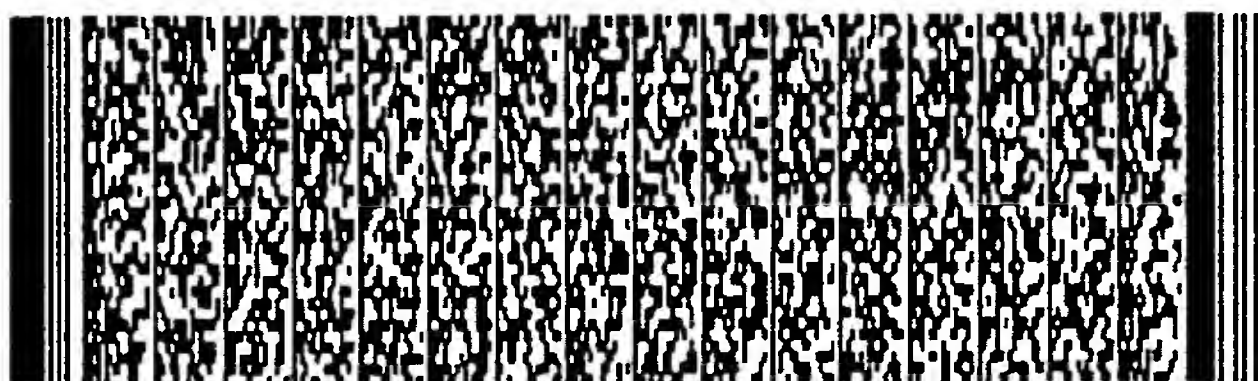
發文字號：09220839290
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	以單掃描時脈進行掃描測試之方法及其架構
	英 文	A SYSTEM AND METHOD FOR PERFORMING SCAN TEST WITH SINGLE SCAN CLOCK
二、 發明人 (共1人)	姓 名 (中 文)	1. 吳奇峰
	姓 名 (英 文)	1. Wu, Chi-Feng
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市苓雅區興中一路八巷二十八號
	住居所 (英 文)	1. No. 28, Lane 8, Hsing-Chung 1st Rd., Ling-Ya, Kao-Hsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英 文)	1. Realtek Semiconductor Corp.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2 Industry E. Rd. IX, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中 文)	1. 葉博任
	代表人 (英 文)	1. Yeh, Po-Len



四、中文發明摘要 (發明名稱：以單掃描時脈進行掃描測試之方法及其架構)

一種以單掃描時脈進行掃描測試之多時脈域邏輯系統及其相關方法。該邏輯系統包括第一時脈域，係根據第一時脈訊號進行邏輯運算及掃描測試；及第二時脈域，係根據第二時脈訊號進行邏輯運算，並根據第一時脈訊號進行掃描測試。

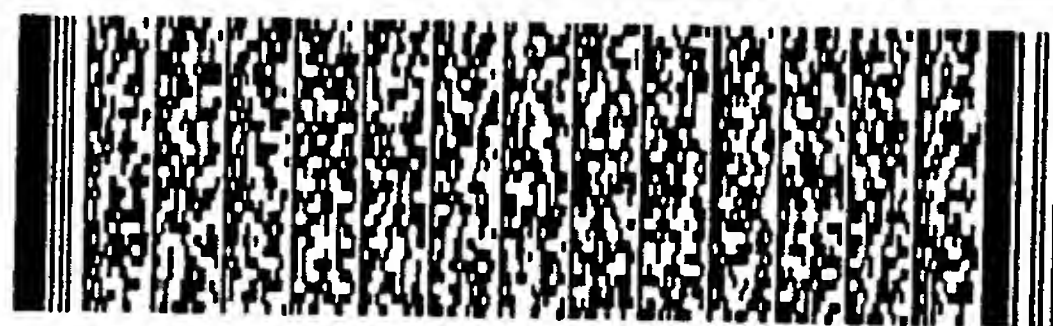
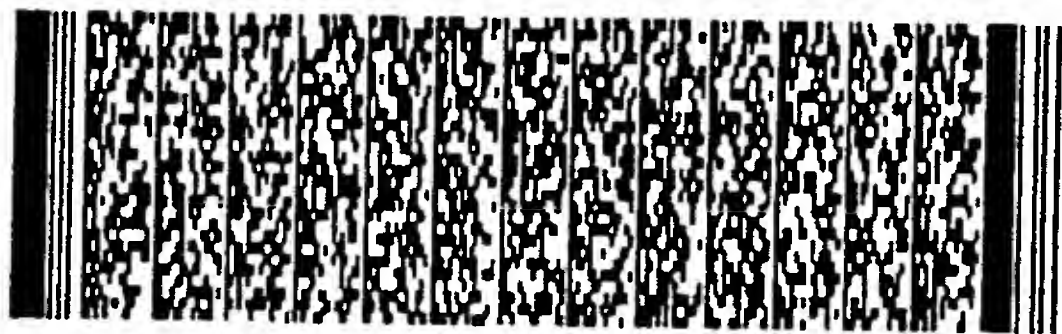
五、(一)、本案代表圖為：第七圖

(二)、本案代表圖之元件代表符號簡單說明

900	多時脈域邏輯系統
902, 903	時脈域複合模組
910, 920, 930	時脈域
912, 922, 932	時脈輸入端
940, 950	多工器
942, 952	掃描時脈輸入端

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR PERFORMING SCAN TEST WITH SINGLE SCAN CLOCK)

A logic system for performing scan test with single scan clock and related method. The logic system includes a first clock domain, which performs logic operations and scan tests with a first clock signal, and a second clock domain, which performs logic operations with a second clock signal and performs scan tests with the first clock signal.



四、中文發明摘要 (發明名稱：以單掃描時脈進行掃描測試之方法及其架構)

944, 954	功能時脈輸入端
946, 956	模式輸入端
948, 958	多工輸出端

六、英文發明摘要 (發明名稱：A SYSTEM AND METHOD FOR PERFORMING SCAN TEST WITH SINGLE SCAN CLOCK)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

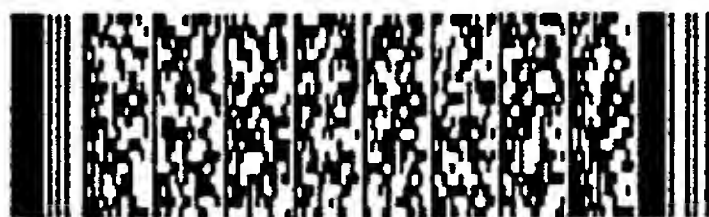
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

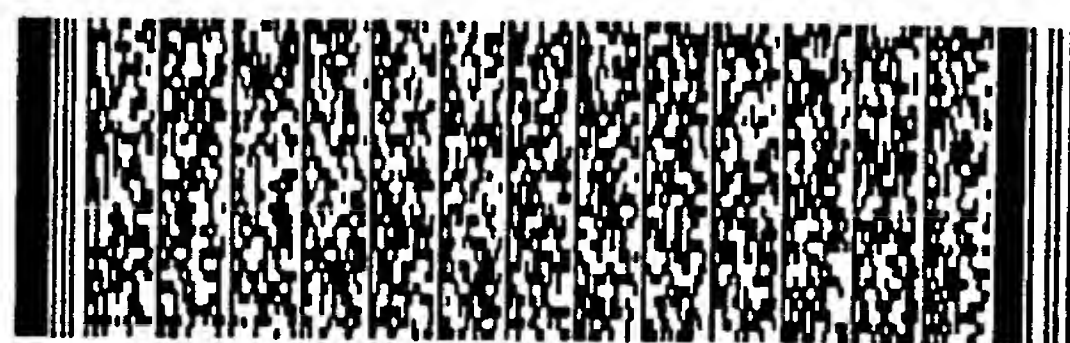
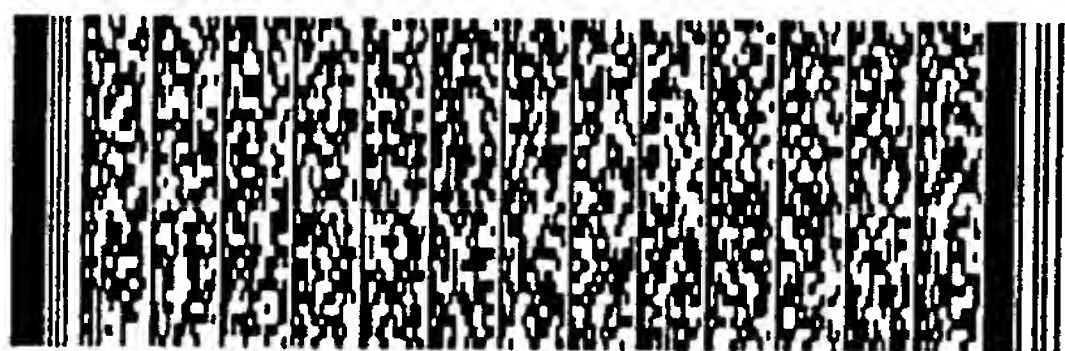
本發明提供一種多時脈域邏輯系統，尤指一種以單掃描時脈進行掃描測試之多時脈域邏輯系統及其相關方法。

先前技術

數位邏輯電路普遍地被應用在許多電子產品中。一般數位邏輯電路包括組合電路 (combinational circuits) 與序列電路 (sequential circuits)。組合電路係根據目前的輸入訊號來產生輸出訊號，而序列電路具有記憶功能，能夠根據先前的輸入訊號來產生輸出訊號。

在設計跟製造數位邏輯電路時，必須藉由適當的裝置來進行電路偵錯及測試。習知的電路測試單元係採用將多個正反器掃描單元 (如圖一) 彼此串接為一掃描鏈 (scan chain) (如圖二的掃描鏈 200)，透過將特定的邏輯值依序載入該掃描鏈中，來偵錯該數位邏輯電路，此作法稱為掃描測試。

請參考圖一，圖一為 D 型正反器掃描單元 100 之示意圖。D 型正反器掃描單元 100 包含有 D 型正反器 102 及多工



五、發明說明 (2)

器 104，用來根據掃描致能訊號 SE 選擇性地輸出功能輸入訊號 D 或掃描輸入訊號 SI。當掃描致能訊號處於掃描致能態時，多工器輸出端 138 輸出掃描輸入訊號至 D 型正反器 102，當掃描致能訊號處於掃描失能態時，多工器輸出端 138 輸出功能輸入訊號至 D 型正反器 102。D 型正反器 102 則依據自多工器 104 輸入之信號，自信號輸出端輸出相對應的輸出信號，或是自反相信號輸出端輸出相對應之反相信號。請參考圖二，圖二為習知之掃描鏈 200 之示意圖。多個 D 型正反器掃描單元 210、230 彼此串接形成掃描鏈 200 (scan chain)，後一級 D 型正反器掃描單元 230 的掃描輸入端 234 電連接於前一級 D 型正反器掃描單元 210 之資料輸出端 220 以形成掃描鏈 200。當掃描致能訊號處於掃描致能態時，掃描輸入訊號依據時脈訊號 Clk 依序進入掃描鏈 200。如此達到分別賦予該等序列電路 (D 型正反器掃描單元 210、230) 特定的邏輯值以對邏輯系統偵錯之目的。

有些邏輯系統需要兩種以上的時脈訊號作為同步運作的基準。其中根據同一頻率的時脈訊號運作的元件組合稱為時脈域，因此該種邏輯系統係包含兩個以上的時脈域，而每個時脈域中的元件係以該時脈域對應的特定頻率的時脈訊號作為同步運作的基準。

如圖三所示之多時脈域邏輯系統 500，其 D 型正反器

五、發明說明 (3)

掃描單元 512、514、516、522、524、532係以不同頻率的時脈訊號作為同步的基準，故分別屬於不同的時脈域 510、520及 530。因此習知之多時脈域邏輯系統 500，在進行掃描測試時，時脈域 510、520、530分別接收掃描輸入訊號 scan_in_1、scan_in_2、scan_in_3以進行掃描測試，並且各自輸出掃描輸出訊號 scan_out_1、scan_out_2、scan_out_3。請參照圖四，對應於輸入訊號 scan_in_1、scan_in_2、scan_in_3與掃描輸出訊號 scan_out_1、scan_out_2、scan_out_3的數量，該掃描測試設備需具有足夠數量的輸出埠與輸入埠以進行掃描測試。然而該掃描測試設備的價格係對應於該等輸出的埠與輸入埠的數量。另外在一掃描測試過程中，較長的掃描鏈只載入／卸載一小部份的掃描訊號，而較短的掃描鏈已經完成載入／卸載，於是較短的掃描鏈對應的輸出埠與輸入埠閒置的同時必須等待較長的掃描鏈完成所有載入／卸載，故無法充分利用該掃描測試設備也無法縮短掃描測試時間。

習知的做法可利用鎖存器 (latch) 串接不同時脈域的掃描鏈，請參考圖五。圖五的各元件係對應於圖三，並且圖五係以 D型鎖存器 702、704 (D latch) 以串接不同時脈域的掃描鏈。然而在進行多時脈域邏輯系統 700的掃描測試時仍然必須提供所有的時脈訊號 clk1、clk2、clk3以進行掃描測試，並且圖五的掃描鏈之設置必須按

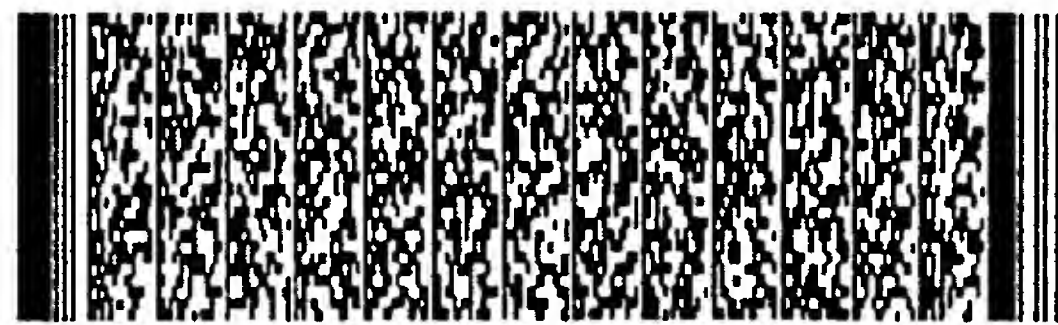
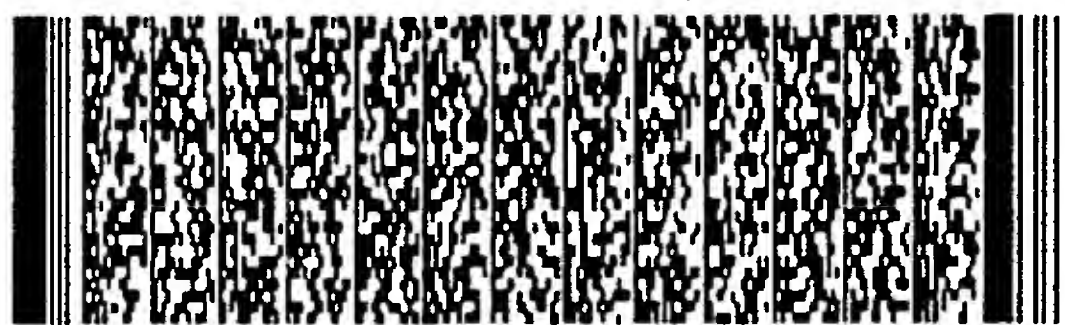
五、發明說明 (4)

照同一時脈域的D型正反器掃描單元先串接在一起再按照每一時脈域所對應的時脈訊號之頻率大小依序串接，而不能配合掃描測試設備的輸出埠與輸入埠之數量設置為任意數量且接近等長的掃描鏈以平行的地載入／卸載該等掃描鏈來解決輸出埠與輸入埠閒置的問題。因此習知以前鎖存器串接不同時脈域的掃描鏈之做法不能充分解決前面所述的問題。

發明內容

因此本發明之主要目的在於提供一種以單掃描時脈進行掃描測試之多時脈域邏輯系統及其方法，以解決上述問題。

本發明提供一種以單掃描時脈進行掃描測試之多時脈域邏輯系統及其方法，該邏輯系統包含有一第一時脈域，包含有第一時脈輸入端，用來輸入第一時脈訊號，測試。另包含有第二時脈域複合模組，其包含有第二時脈訊號；還包含有第二時脈訊號進行邏輯運算，且根據第一時脈訊號進行掃描測試。



五、發明說明 (5)

實施方式

本發明所提出之多時脈域邏輯系統，在進行邏輯運算時，不同的時脈域係依據各自相對應的時脈訊號進行邏輯運算。而在進行掃描測試時，則將不同的時脈域串接，依據同一時脈訊號進行掃描測試。

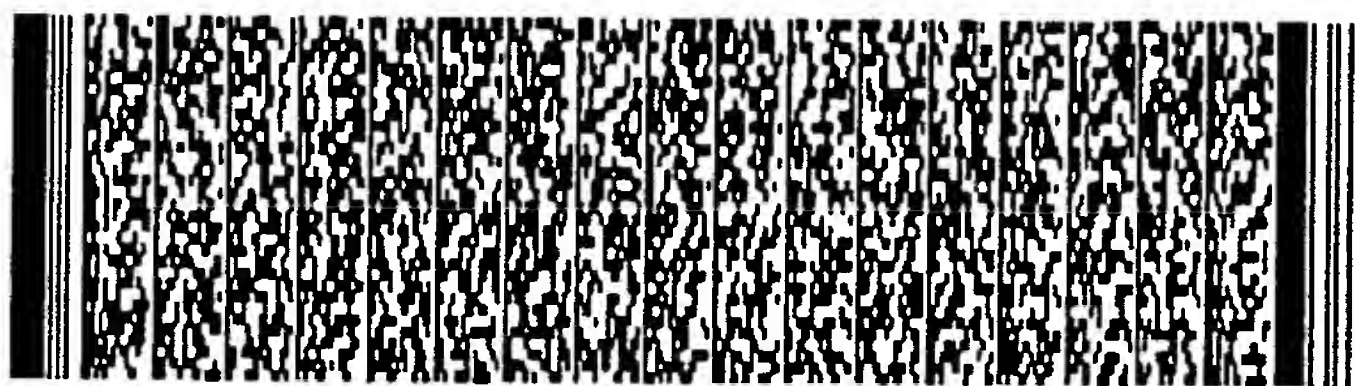
圖六為本發明之多時脈域邏輯系統 900 之示意圖。圖六說明一種以單掃描時脈進行掃描測試之多時脈域邏輯系統 900，用來根據第一時脈訊號 $clk1$ 、第二時脈訊號 $clk2$ 、與第三時脈訊號 $clk3$ 進行邏輯運算，並且根據第一時脈訊號 $clk1$ 進行掃描測試。邏輯系統 900 包含有第一時脈域 910，其包含有第一時脈輸入端 912，用來輸入第一時脈訊號 $clk1$ ，第一時脈域 910 係根據第一時脈訊號 $clk1$ 進行邏輯運算，並進行掃描測試。邏輯系統 900 另包含有第二時脈域複合模組 902，其包含有第二多工器 940，用來根據模式訊號 $tmode$ 選擇性地輸出第一時脈訊號 $clk1$ 或第二時脈訊號 $clk2$ 。第二時脈域複合模組 902 另包含有第二時脈域 920，其包含有第二時脈輸入端 922，電連接於第二多工器於輸出端 948，用來輸入第一時脈訊號 $clk1$ 或第二時脈訊號 $clk2$ ，第二時脈域 920 係根據第二時脈訊號 $clk2$ 進行邏輯運算，且根據第一時脈訊號 $clk1$ 進行該掃描測試。在本實施例中，邏輯系統 900 另包含有第三時脈域複合模組 903，其架構同第二時脈域複合模組

五、發明說明 (6)

902。第三時脈域 930係根據第三時脈訊號 clk3進行邏輯運算，且根據第一時脈訊號 clk1進行該掃描測試。

請參考圖七，圖七為圖六之多時脈域邏輯系統 900之時脈樹 (clock tree) 示意圖。第一時脈域 910包含有複數個 D型正反器掃描單元 914、916、918。每一 D型正反器掃描單元 914、916、918當中都包含有掃描單元時脈輸入端，用來輸入第一時脈訊號 clk1，D型正反器掃描單元 914、916、918係用來根據第一時脈訊號 clk1進行邏輯運算，並且根據第一時脈訊號 clk1進行該掃描測試。在進行邏輯運算時，第二多工器 940及第三多工器 950係依據模式訊號 tmode分別選擇第二時脈訊號 clk2及第三時脈訊號 clk3輸入至第二時脈域 920及第三時脈域 930中。如此，屬於第二時脈域 920之 D型正反器掃描單元 924、926及屬於第三時脈域 930之 D型正反器掃描單元 934分別依據第二時脈訊號 clk2及第三時脈訊號 clk3進行邏輯運算。而在進行掃描測試時，第二多工器 940及第三多工器 950係依據模式訊號 tmode選擇第一時脈訊號 clk1輸入至第二時脈域 920及第三時脈域 930中。如此，屬於第二時脈域 920之 D型正反器掃描單元 924、926及屬於第三時脈域 930之 D型正反器掃描單元 934皆依據第一時脈訊號 clk1進行邏輯運算。

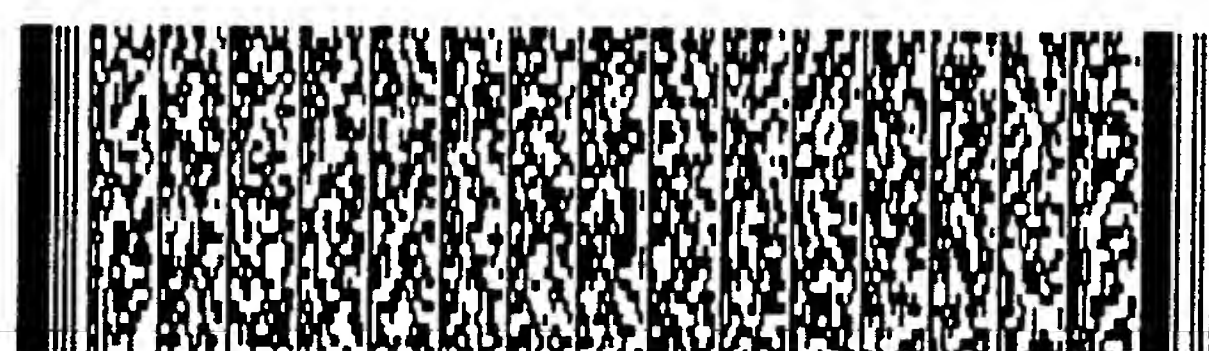
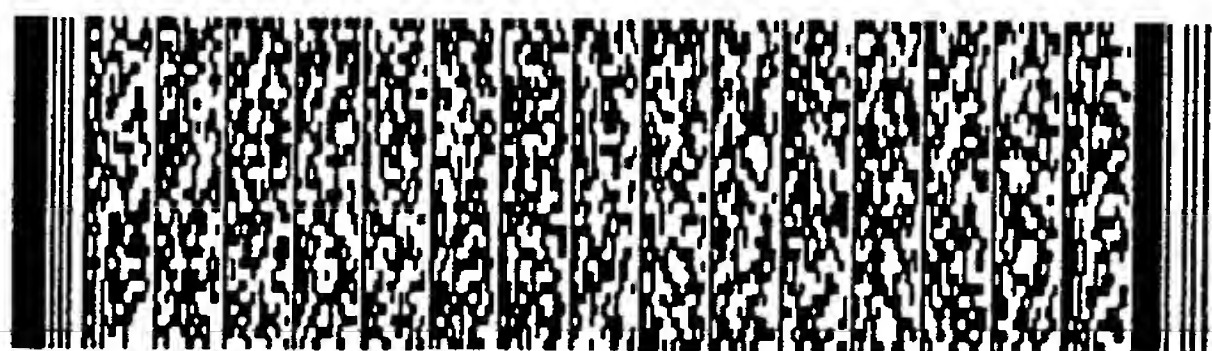
當時脈訊號以相同的時間到達對應之 D型正反器掃描



五、發明說明 (7)

單元，此特性稱為時脈樹平衡特性。如果時脈訊號以近似的時間到達 D型正反器掃描單元，則稱為時脈樹近似平衡 (quasi-balance) 特性。請參照圖七，在本實施例中，利用緩衝器 962、964、966、968、970、972、974 的設置，以使得多時脈域邏輯系統 900 對於第一時脈訊號 clk1 具備時脈樹平衡、或時脈樹近似平衡特性。如此可避免多時脈域邏輯系統 900 發生習知的時脈扭曲 (clock skew) 的現象，也就是時脈訊號無法同時到達各元件所造成的同步失序現象。

請參考圖八，其繪示本發明所提出之第二實施例中，D型正反器掃描單元之示意圖。本實施例與前一實施例之不同之處在於，本實施例係在以每一個 D型正反器之時脈訊號輸入端增設一時脈多工器，用以選擇性地輸入時脈訊號。以屬於第二時脈域之 D型正反器掃描單元 924 為例，其時脈多工器係用以依據掃描致能訊號 SE 選擇性地輸出第二時脈訊號 clk2 或第一時脈訊號 clk1 至 D型正反器中。當進行邏輯運算時，掃描致能訊號 SE 係選擇功能輸入訊號 D 及第二時脈訊號 clk2 至 D型正反器。而在進行掃描測試時，掃描致能訊號 SE 係選擇掃描輸入訊號 SI 及第一時脈訊號 clk1 至 D型正反器。如此，則本實施例藉由提出一種新的 D型正反器掃描單元的架構，來達到本發明欲達到的目的。而不需要如前一實施例，以增設模式選擇訊號 tmode，並於每一個時脈域設置一多工器的方式，



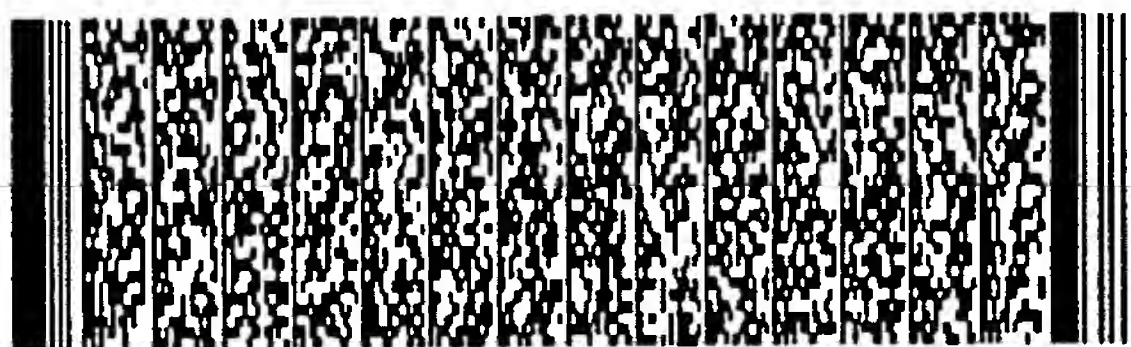
五、發明說明 (8)

來達到本發明欲達到的目的。

請參考圖九，圖九為本發明所提出之多時脈域邏輯系統之掃描鏈 (scan chain) 示意圖。當進行掃描測試時，不同時脈域之 D 型正反器掃描單元 914、916、918、924、926、934 皆串接形成至少一掃描鏈，後一級的 D 型正反器掃描單元的掃描輸入端電連接於前一 D 型正反器掃描單元之資料輸出端。將掃描輸入訊號 scan_in 自該掃描鏈之起始端的 D 型正反器掃描單元 914 輸入。掃描輸入訊號 scan_in 依序地平移，因此 D 型正反器掃描單元 916、918、924、926、934 當中得以依序地輸入掃描輸入訊號 scan_in，並且將其運算結果以掃描輸出訊號 scan_out 輸出。

本發明的多時脈域邏輯系統 900 由於所有的 D 型正反器掃描單元使用同一時脈訊號 clk1 進行掃描測試，就可以配合該掃描測試設備的輸出埠與輸入埠之數量設置為任意數量且接近等長的掃描鏈，所以可以平行地載入／卸載該等掃描鏈，而沒有輸出埠與輸入埠閒置的問題。並且可藉由減少輸出埠與輸入埠的數目而降低測試的成本。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利



五、發明說明 (9)
的 涵 蓋 範 圍 。



圖式簡單說明

圖式之簡單說明

圖一為習知之 D 型正反器掃描單元之示意圖。

圖二為習知之掃描鏈之示意圖。

圖三為習知之多時脈域邏輯系統之示意圖。

圖四為圖三之多時脈域邏輯系統之掃描鏈示意圖。

圖五為習知之多時脈域邏輯系統之示意圖。

圖六為本發明之第一實施例所提出多時脈域邏輯系統之示意圖。

圖七為圖六之多時脈域邏輯系統之時脈樹示意圖。

圖八為本發明之第二實施例所提出 D 型正反器掃描單元之示意圖。

圖九為本發明之多時脈域邏輯系統之掃描鏈示意圖。

圖式之符號說明

100, 210, 230, 512, 514, 516, 522, 524, 532,
914, 916, 918, 924, 926, 934

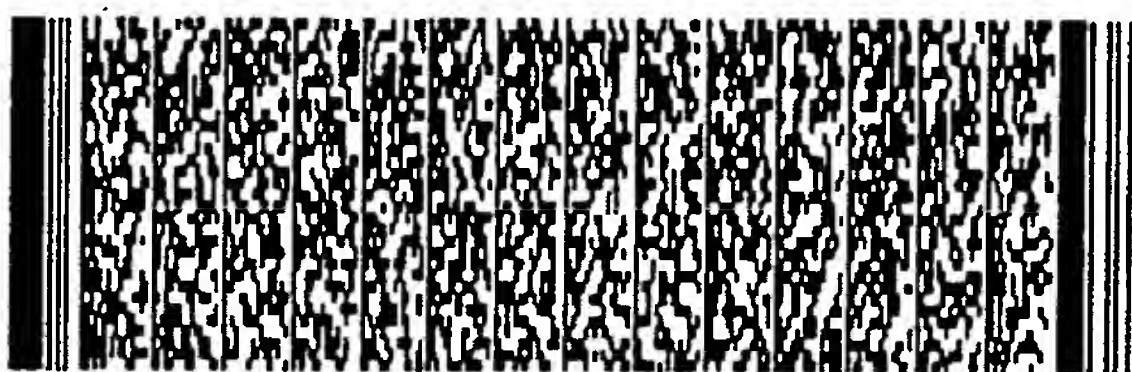
D 型正反器掃描單元

102 D 正反器

104 掃描單元多工器

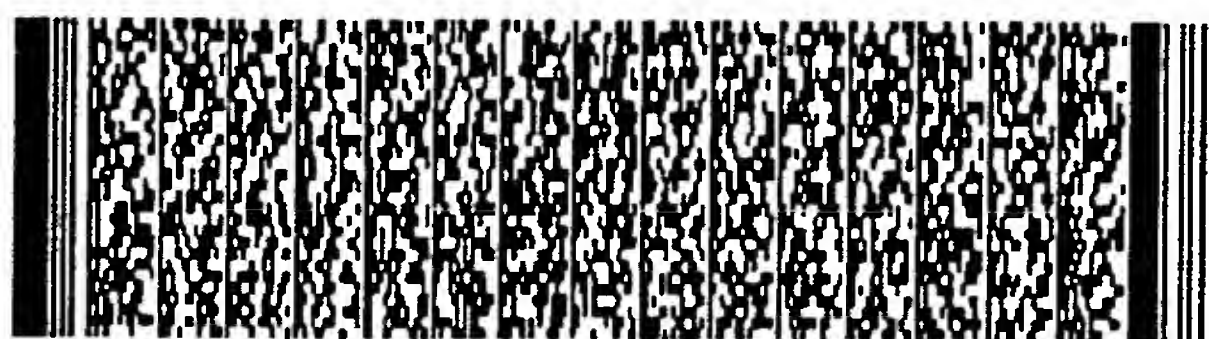
132, 212, 232 資料輸入端

134, 214, 234, 981, 983, 985, 987, 989, 991
掃描輸入端



圖式簡單說明

218, 238, 912, 922, 932	時脈輸入端
220, 222, 240, 242, 982, 984, 986, 988, 990, 992	資料輸出端
224, 244	重設端
136, 216, 236	掃描致能端
138	掃描單元多工輸出端
200 掃描鏈	250 組合電路
500, 700, 900	多時脈域邏輯系統
510, 520, 530, 910, 920, 930	時脈域
702, 704	鎖存器
902, 903	時脈域複合模組
940, 950	多工器
942, 952	掃描時脈輸入端
944, 954	功能時脈輸入端
946, 956	模式輸入端
948, 958	多工輸出端
962, 964, 966, 968, 970, 972, 974	緩衝器



六、申請專利範圍

1. 一多時脈域掃描測試系統，用以對一邏輯電路進行掃描測試，該多時脈域掃描測試系統包含：
 - 一第一時脈域，用以根據一第一時脈訊號進行邏輯運算以及掃描測試；及
 - 一第二時脈域，用以依據一第二時脈訊號進行邏輯運算，並根據該第一時脈訊號進行掃描測試。
2. 如申請專利範圍第1項所述之掃描測試系統，其中該第一時脈域包括至少一第一掃描單元，該第一掃描單元包括：
 - 一多工器，用以依據一掃描致能訊號，選擇功能輸入訊號或掃描輸入訊號輸出；及
 - 一D型正反器，用以接收輸入之功能輸入訊號或掃描輸入訊號，並依據該第一時脈訊號將之輸出。
3. 如申請專利範圍第1項所述之掃描測試系統，其中該第二時脈域更包括：
 - 一多工器，用以依據一模式訊號，選擇該第一時脈訊號或該第二時脈訊號，作為一第二時脈域驅動訊號；及
 - 至少一第二掃描單元，包括：
 - 一多工器，用以依據一掃描致能訊號，選擇功能輸入訊號或掃描輸入訊號輸出；及
 - 一D型正反器，用以接收輸入之功能輸入訊號或掃描

六、申請專利範圍

輸入訊號，並依據該第二時脈域驅動訊號將之輸出。

4. 如申請專利範圍第1項所述之掃描測試系統，其中當進行掃描測試時，該第一時脈域及該第二時脈域係串接形成一掃描鏈。

5. 如申請專利範圍第1項所述之掃描測試系統，其中該第二時脈域更包括至少一第二掃描單元，包括：

一第一多工器，用以依據一掃描致能訊號，選擇該功能輸入訊號或該掃描輸入訊號輸出；

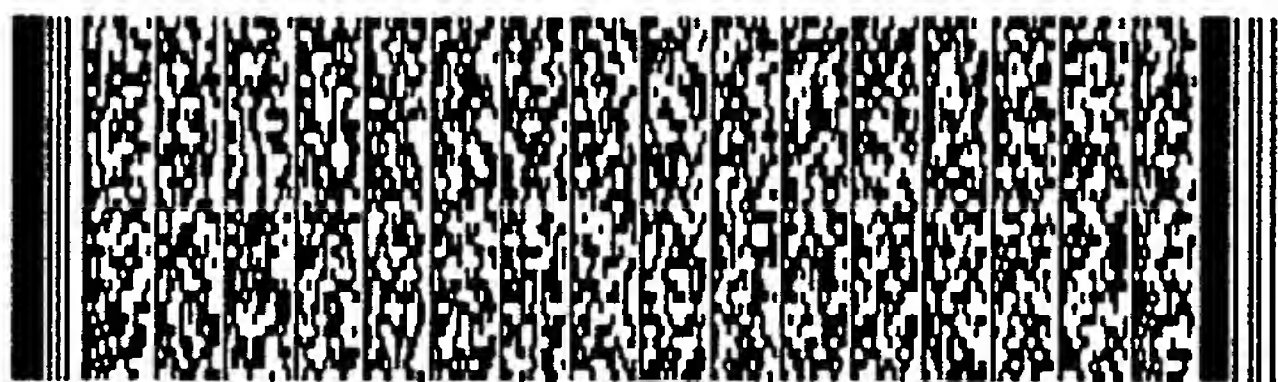
一第二多工器，用以依據該掃描致能訊號，選擇該第一時脈訊號或該第二時脈訊號輸出；及

一D型正反器，分別與該第一多工器及該第二多工器耦接，用以接收輸入之該功能輸入訊號或該掃描輸入訊號之一者，並依據接收之該第一時脈訊號或該第二時脈訊號輸出。

6. 一種對一邏輯系統進行掃描測試之方法，該邏輯系統包含有一多時脈域掃描測試電路，其包括一第一時脈域及一第二時脈域，該方法包含：

當該邏輯系統進行邏輯運算時，該第一時脈域依據一第一時脈訊號，該第二時脈域依據一第二時脈訊號，分別進行邏輯運算；及

當該邏輯系統進行掃描測試時，該第一時脈域及該



六、申請專利範圍

第二時脈域依據該第一時脈訊號進行掃描測試。

7. 一種掃描單元，係用以設置於一多時脈域掃描鏈電路中，包括：

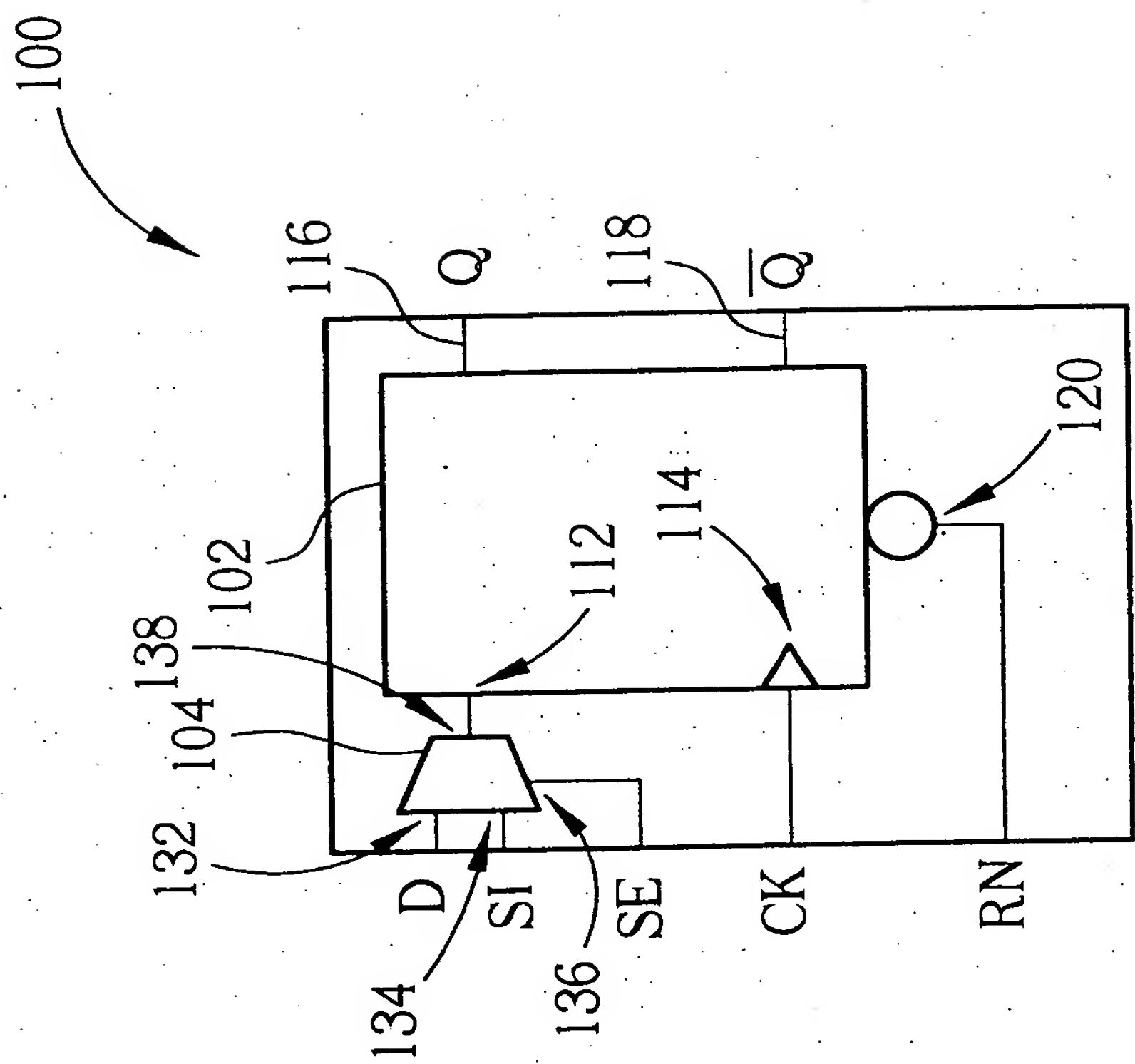
一第一多工器，用以依據一掃描致能訊號，選擇一功能輸入訊號或一掃描輸入訊號輸出；

一第二多工器，用以依據該掃描致能訊號，選擇一第一時脈訊號或一第二時脈訊號輸出；及

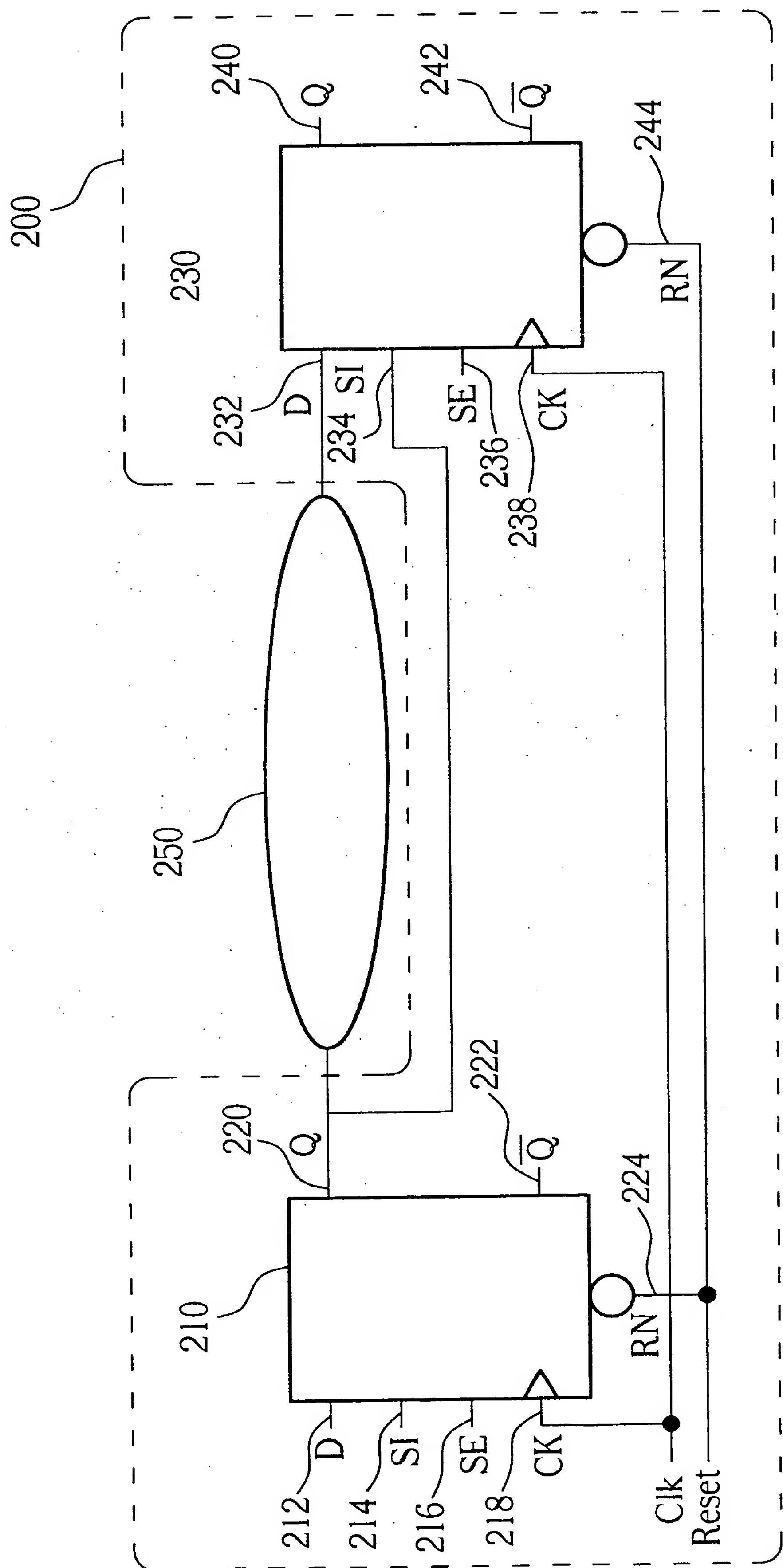
一D型正反器，分別與該第一多工器及該第二多工器耦接，用以接收輸入之該功能輸入訊號或該掃描輸入訊號，並依據接收之該第一時脈訊號或該第二時脈訊號將之輸出；

其中，當該多時脈域掃描鏈電路進行邏輯運算時，該第一多工器係選擇該功能輸入訊號，且該第二多工器係選擇該第一時脈訊號輸出至該D型正反器中，當該多時脈域掃描鏈電路進行掃描測試時，該第一多工器係選擇該掃描輸入訊號，且該第二多工器係選擇該第二時脈訊號輸出至該D型正反器中。

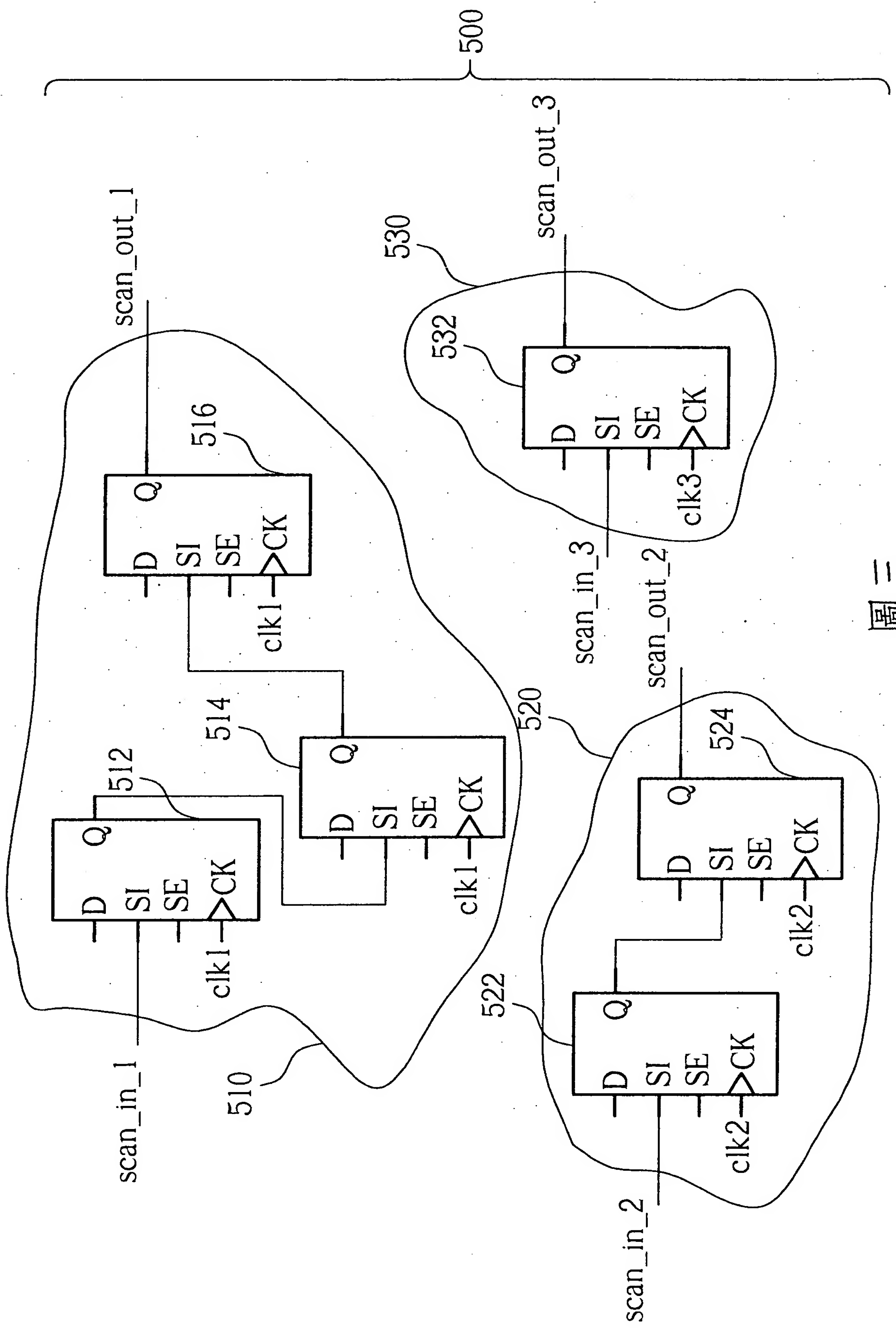
8. 如申請專利範圍第7項所述之掃描單元，其中該多時脈域掃描鏈電路係由複數個該掃描單元串接而成，前一個掃描單元之輸出訊號係為下一個掃描單元之該掃描輸入訊號。



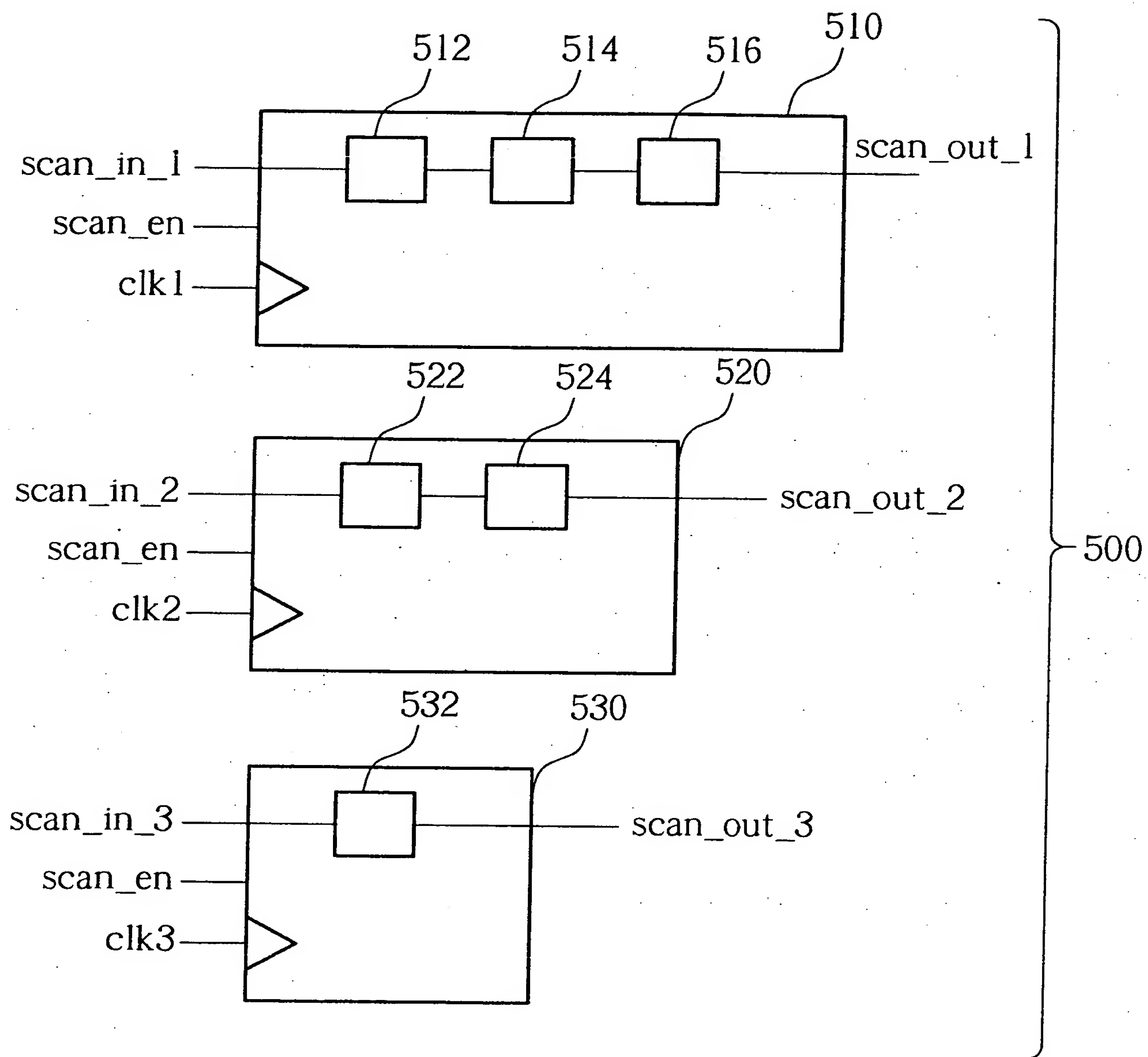
圖一



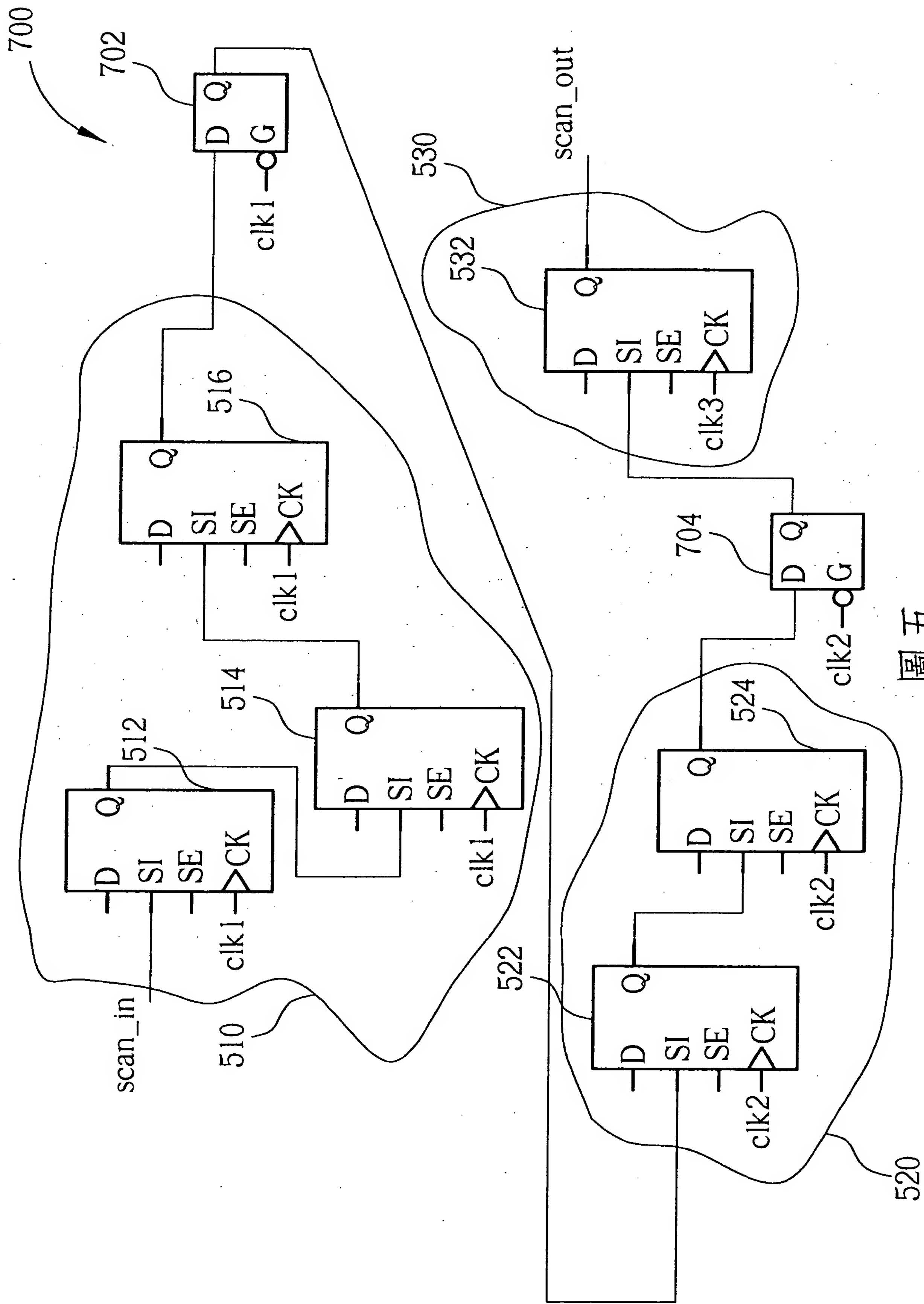
圖二



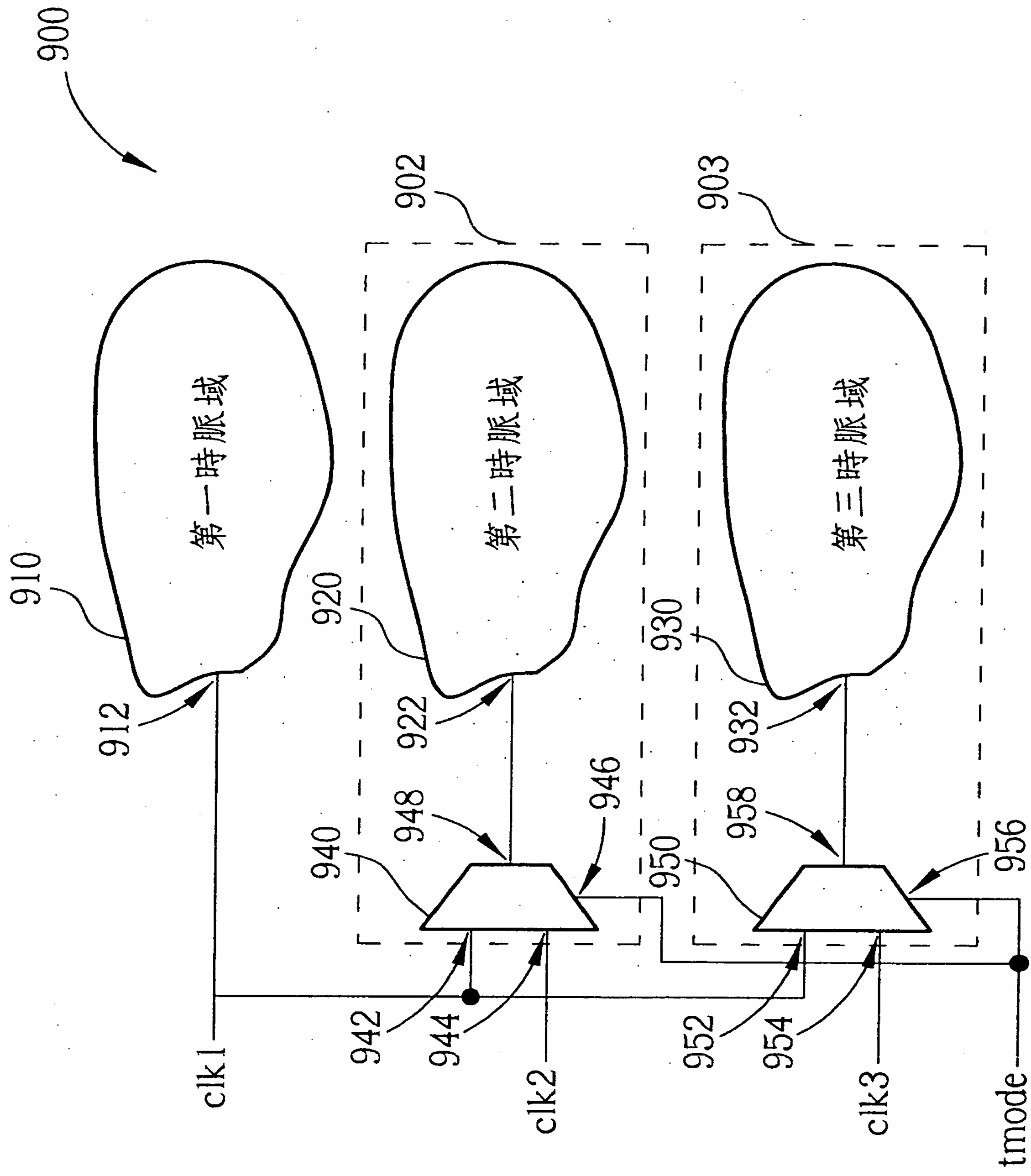
圖三



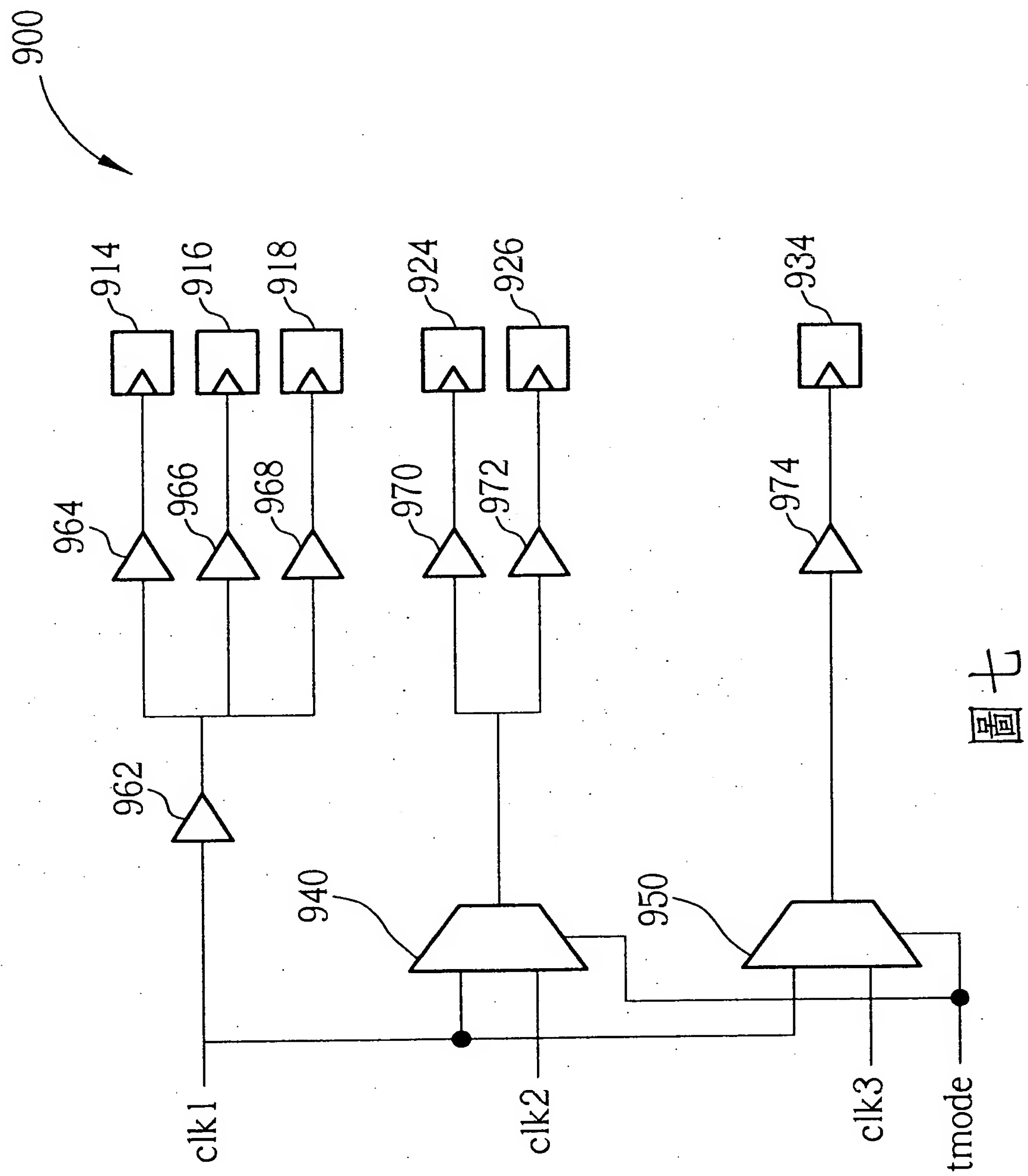
圖四



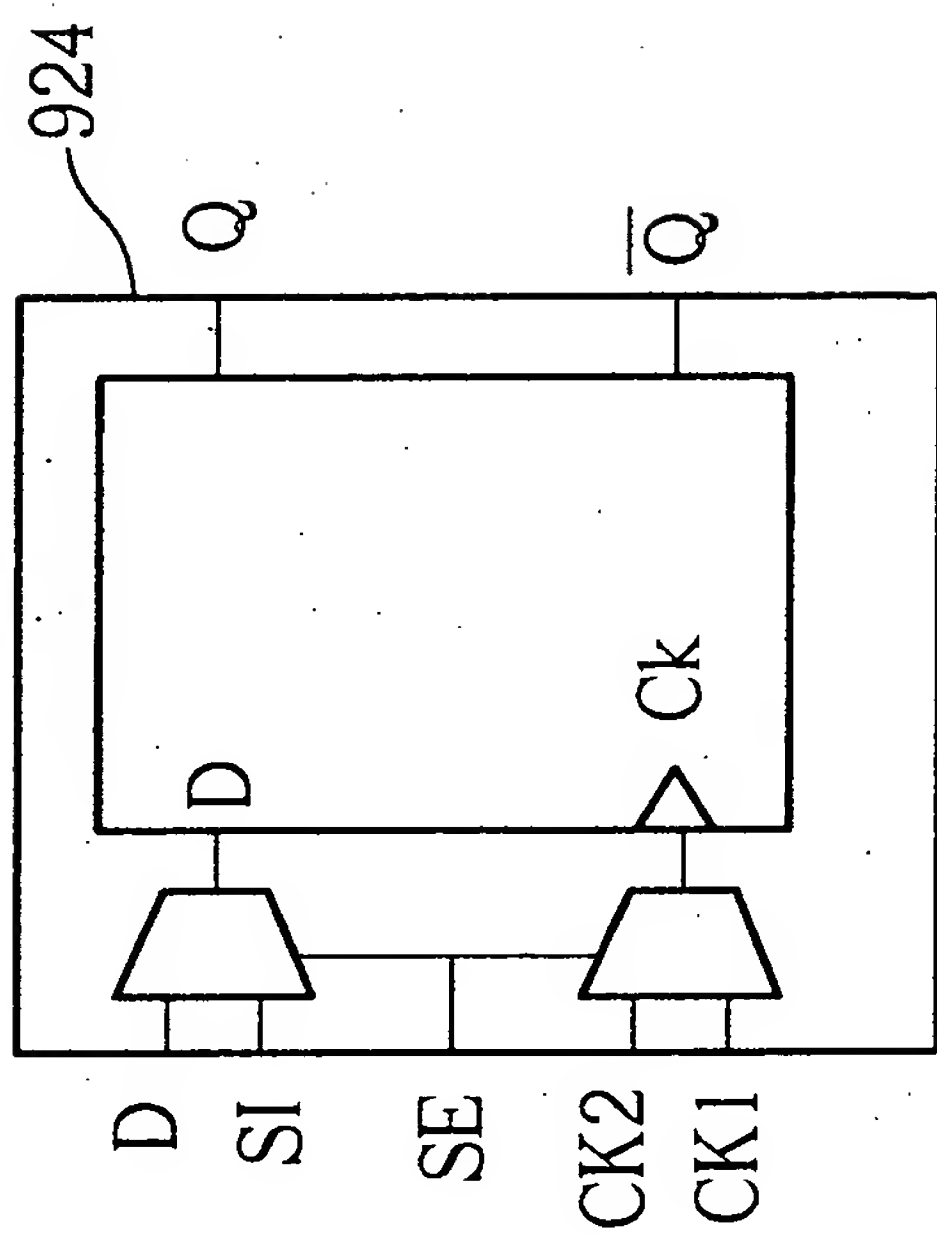
圖五



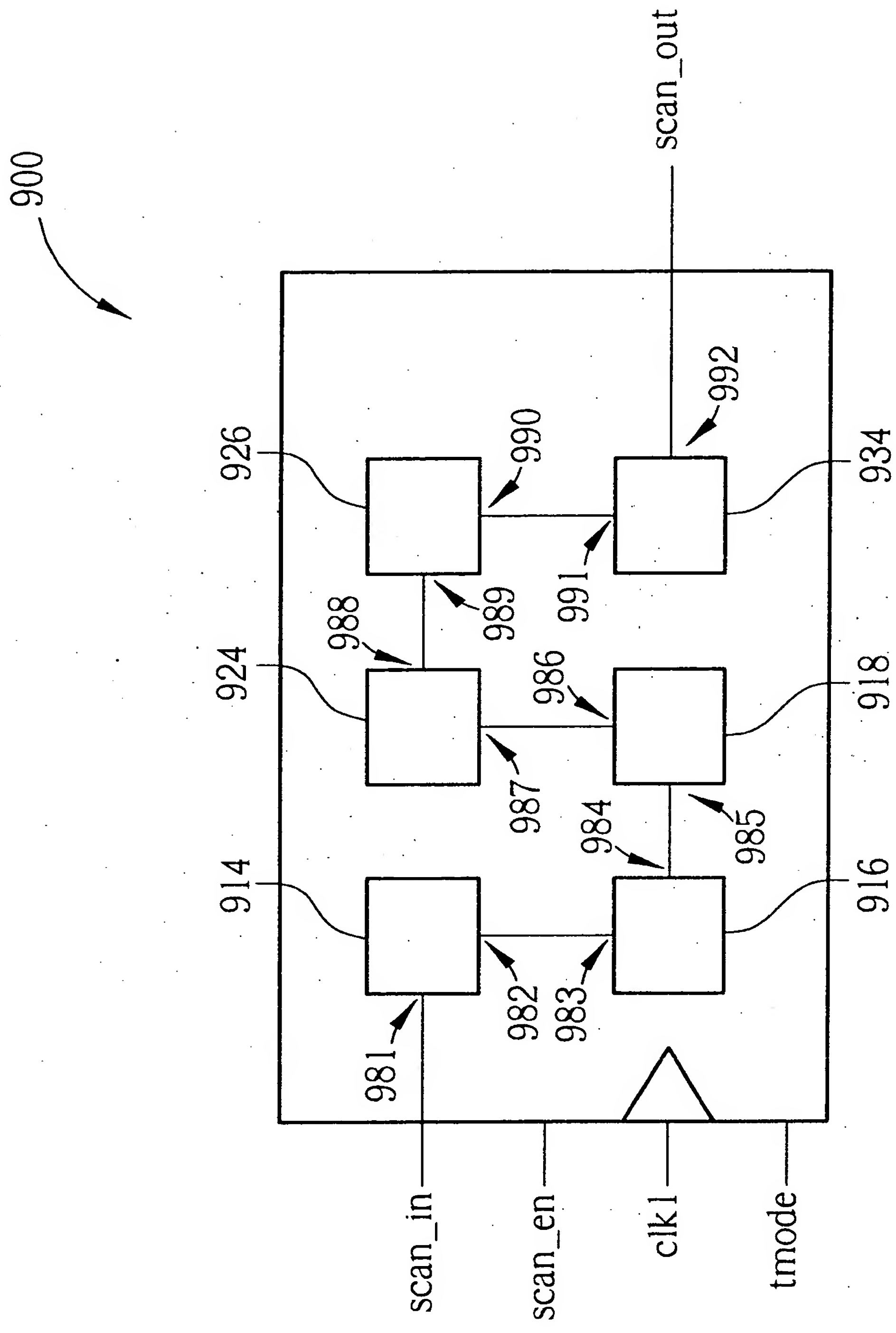
圖六



圖七

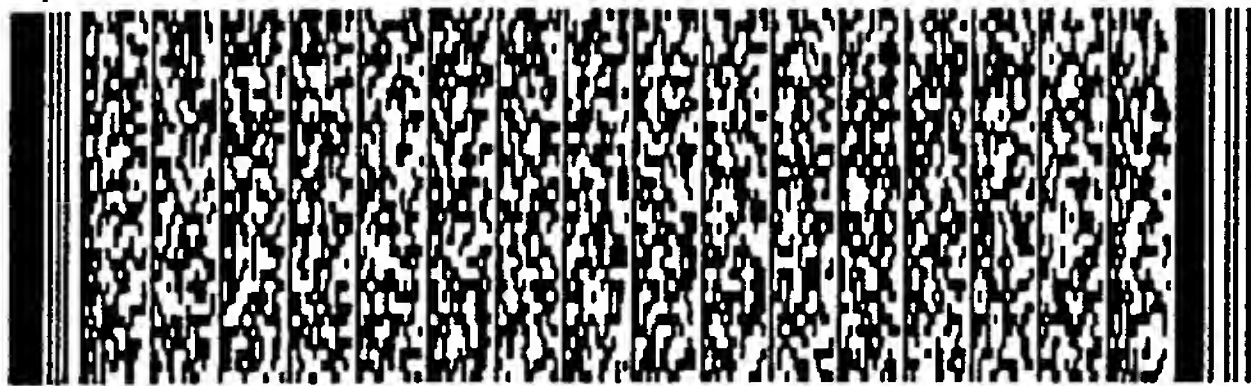


圖八



圖九

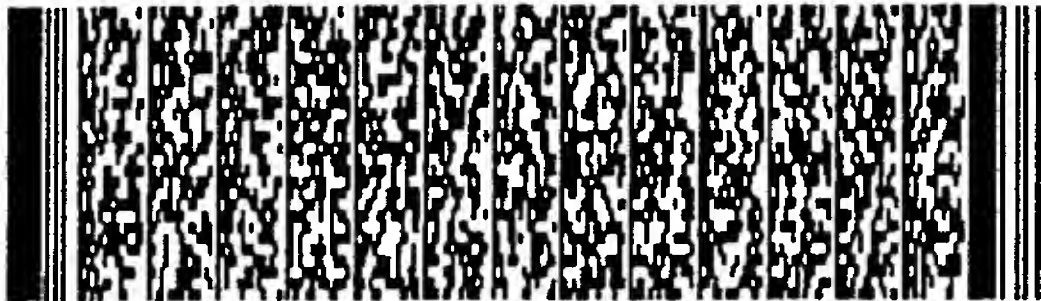
第 1/18 頁



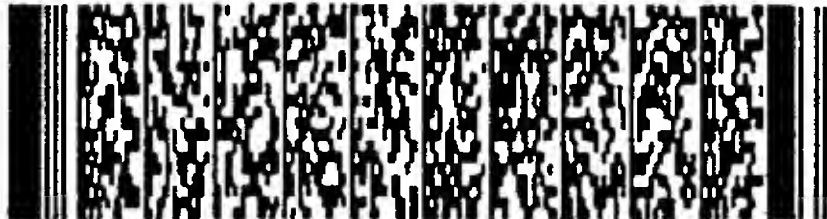
第 2/18 頁



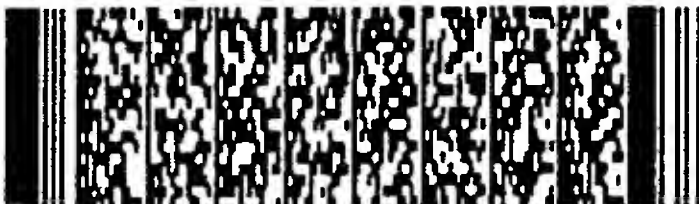
第 2/18 頁



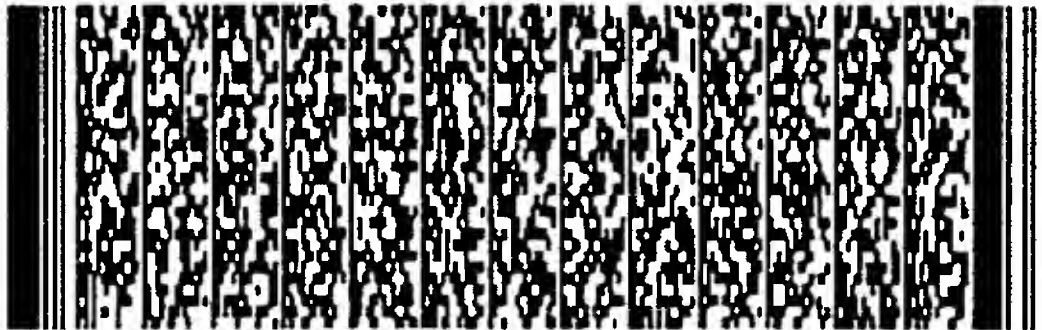
第 3/18 頁



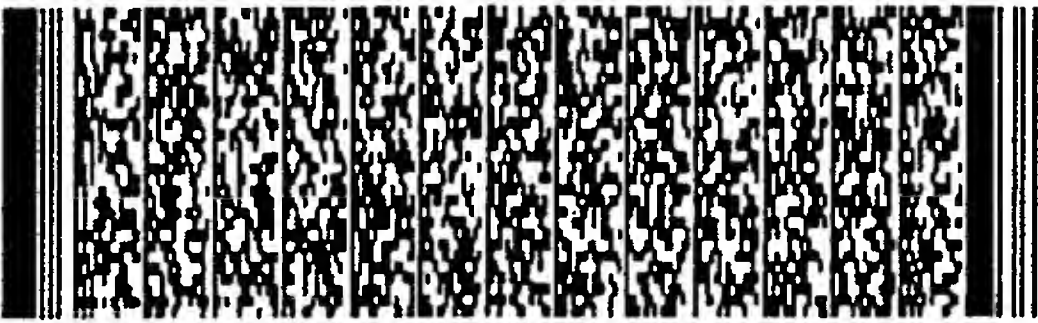
第 4/18 頁



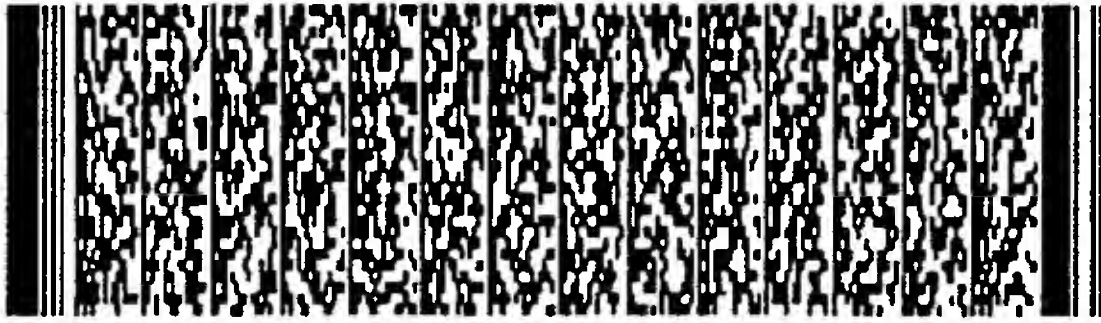
第 5/18 頁



第 5/18 頁



第 6/18 頁



第 6/18 頁



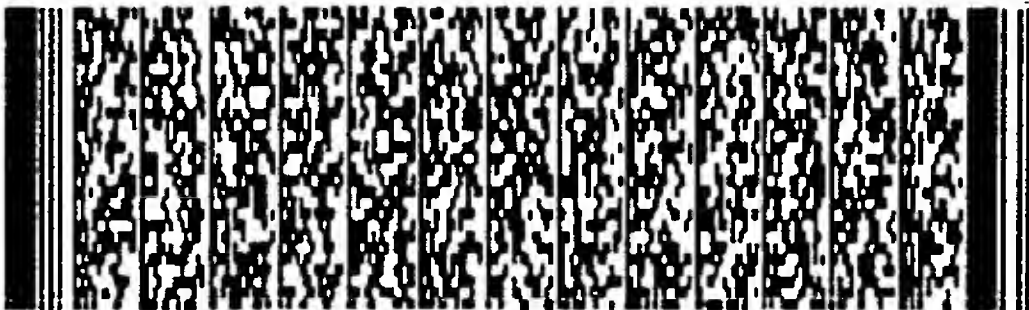
第 7/18 頁



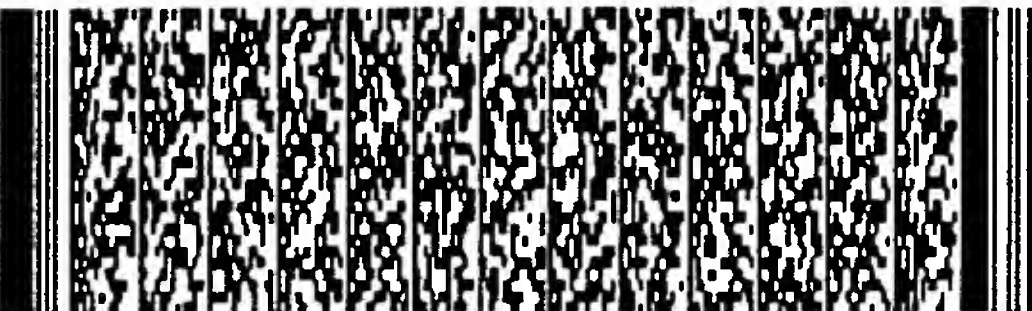
7/18 頁



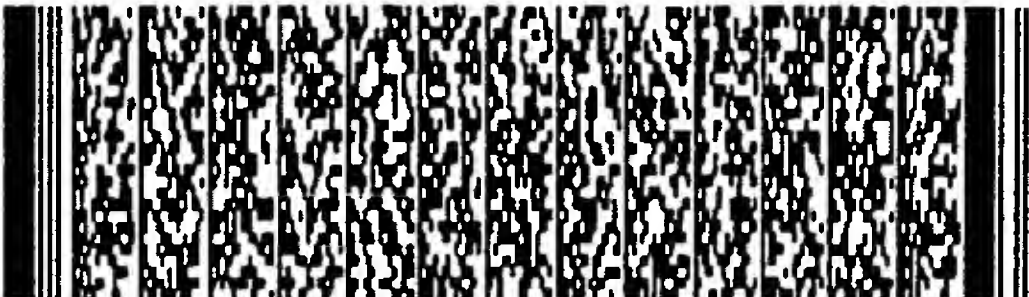
第 8/18 頁



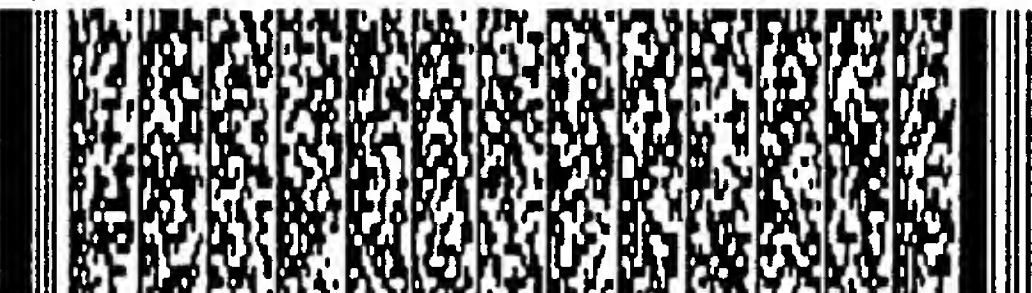
第 8/18 頁



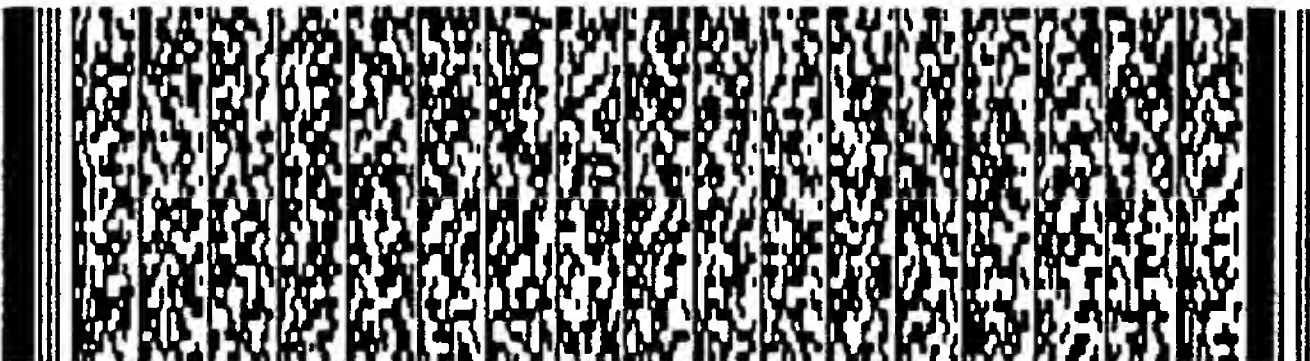
第 9/18 頁



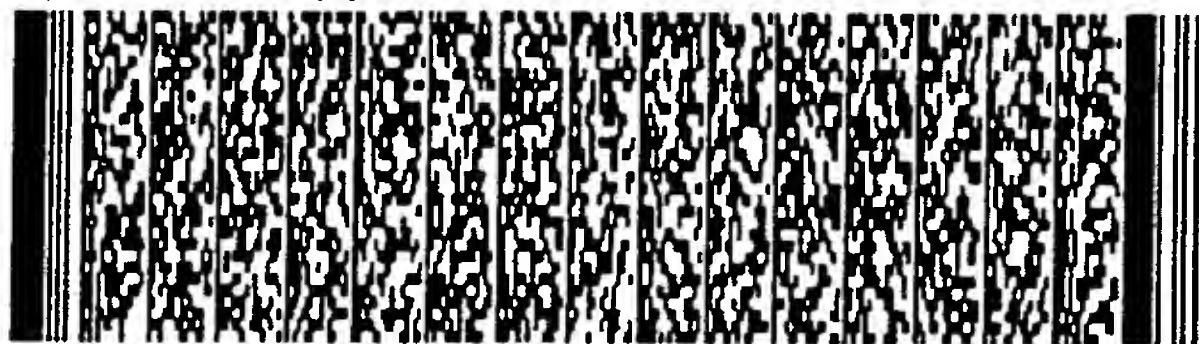
第 9/18 頁



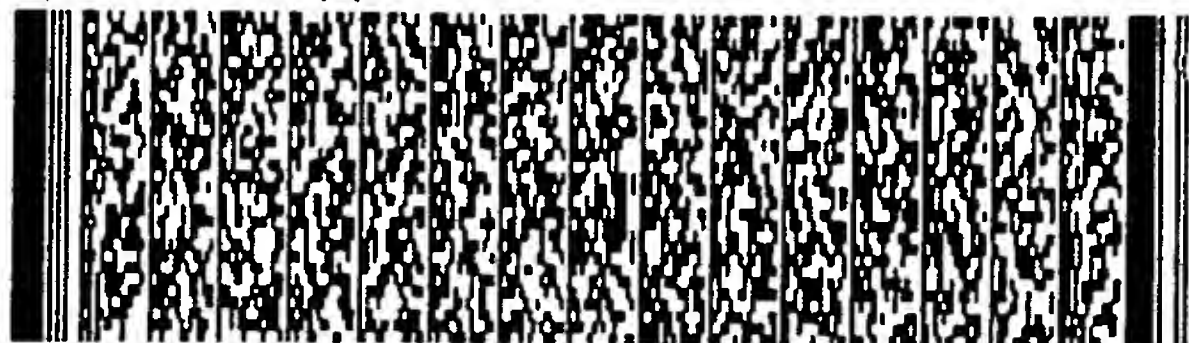
第 10/18 頁



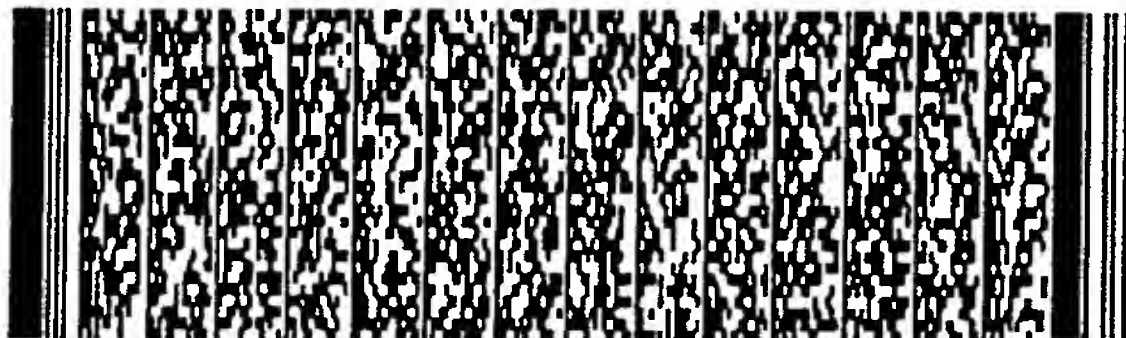
第 11/18 頁



第 11/18 頁



第 12/18 頁



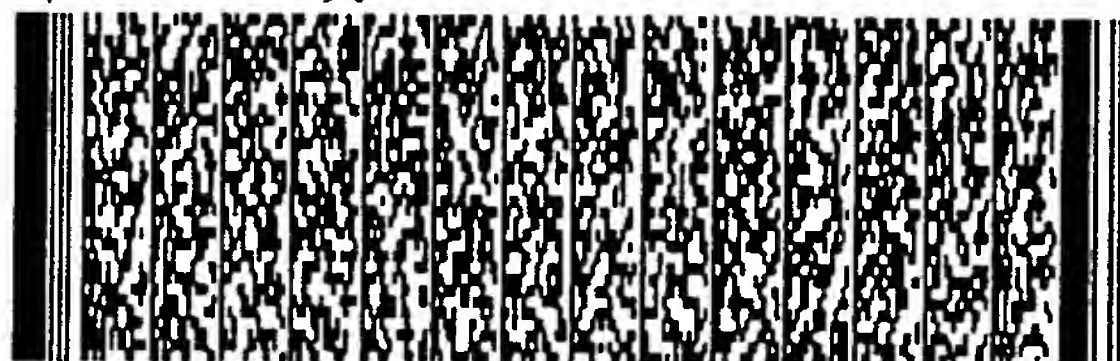
第 12/18 頁



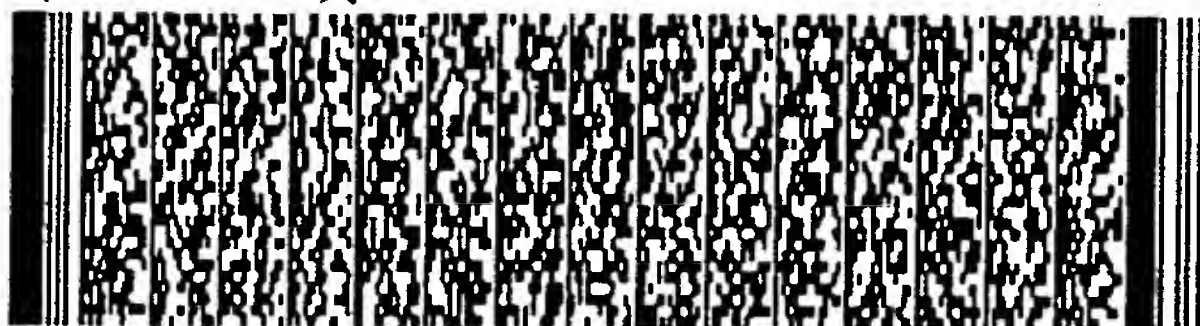
第 13/18 頁



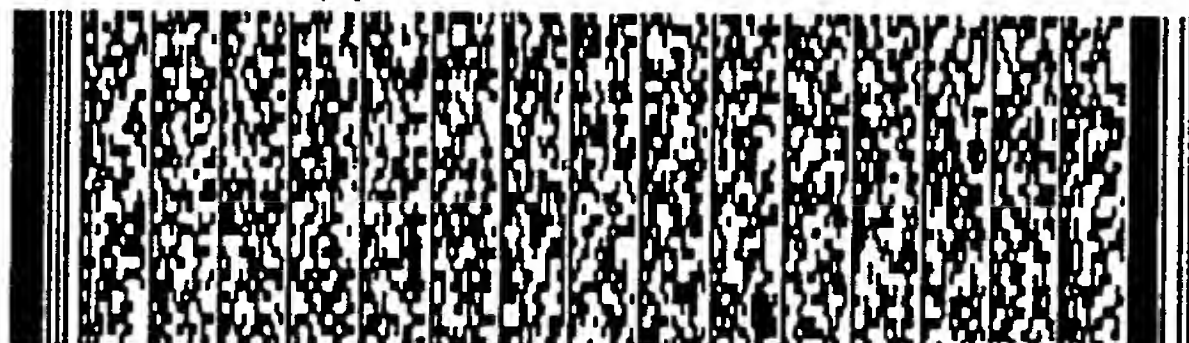
第 14/18 頁



第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

